

# シリアルリンクを用いた 次世代DAQ

大阪大学  
能町正治

# “FAST” DAQ system

What does “FAST” mean?

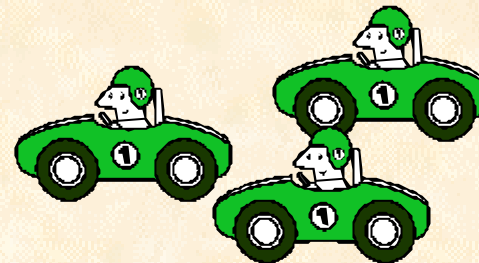
Throughput or Latency

For higher throughput



Longer latency because of waiting time

For shorter latency

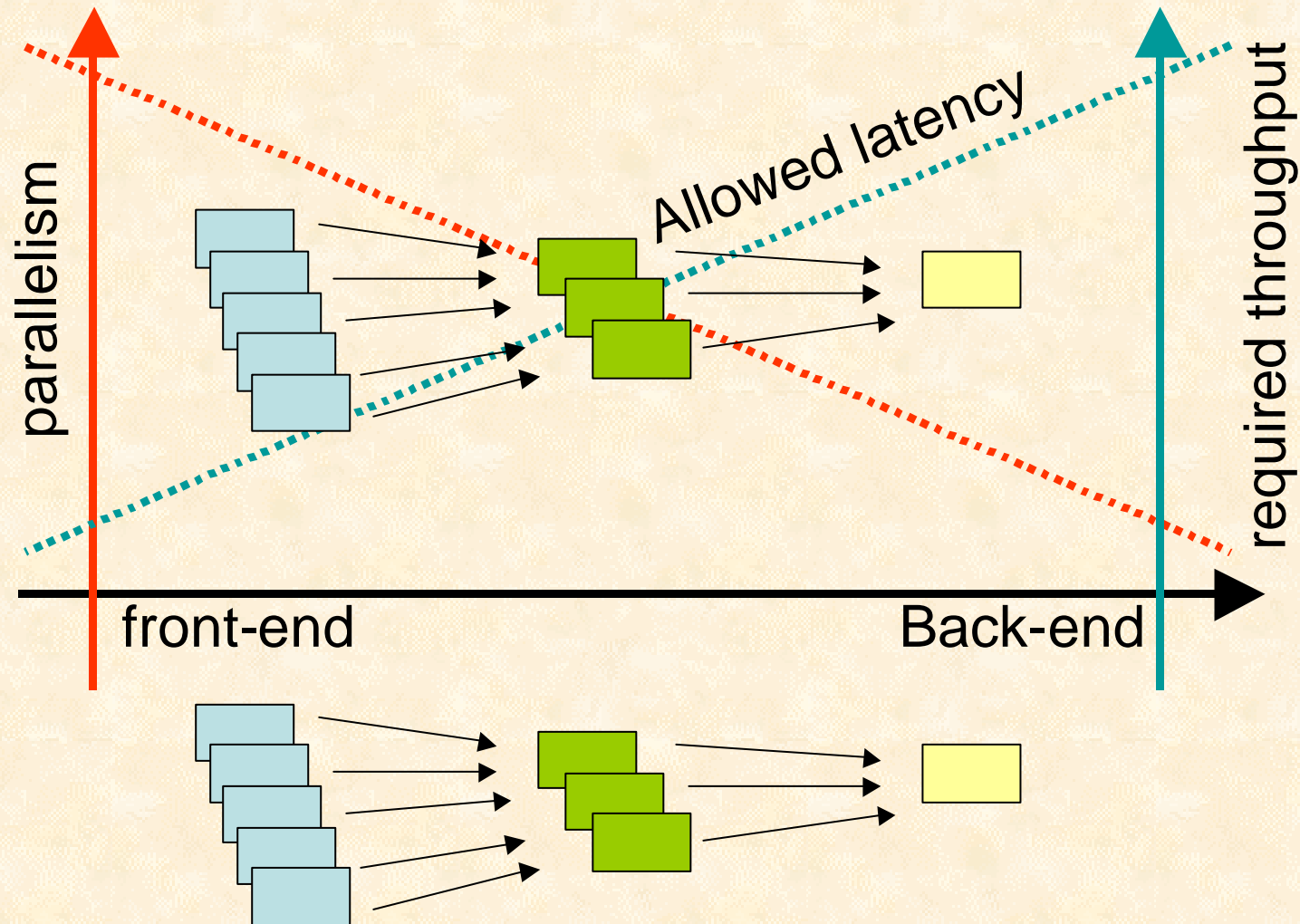


Poor throughput because of congestion

# Throughput

- Obtain high throughput, one needs a buffer (FIFO,.....).
- High throughput requires large buffer.
- Larger buffer causes longer latency.

# Hierarchical data transfer

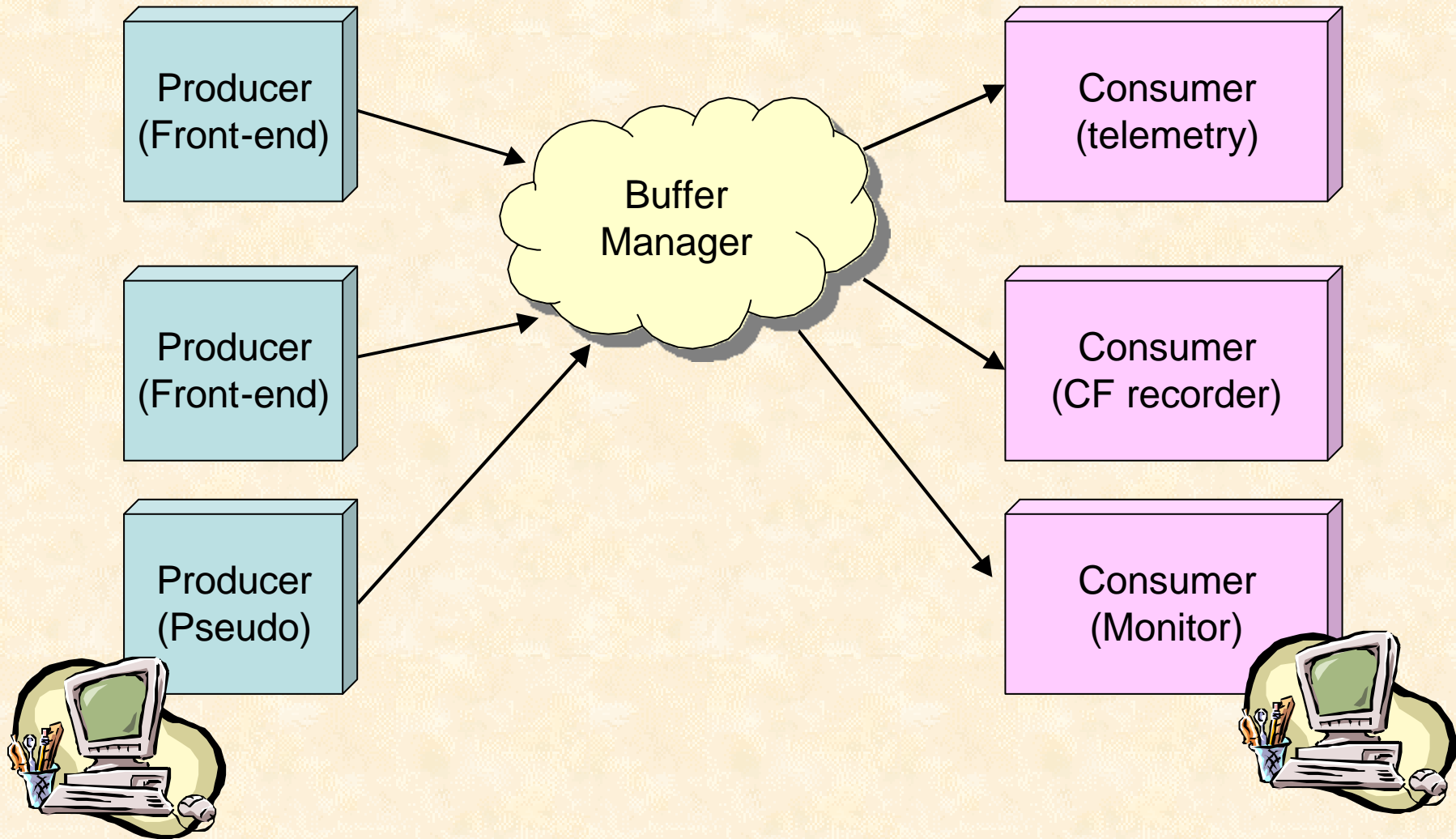


# DAQ path

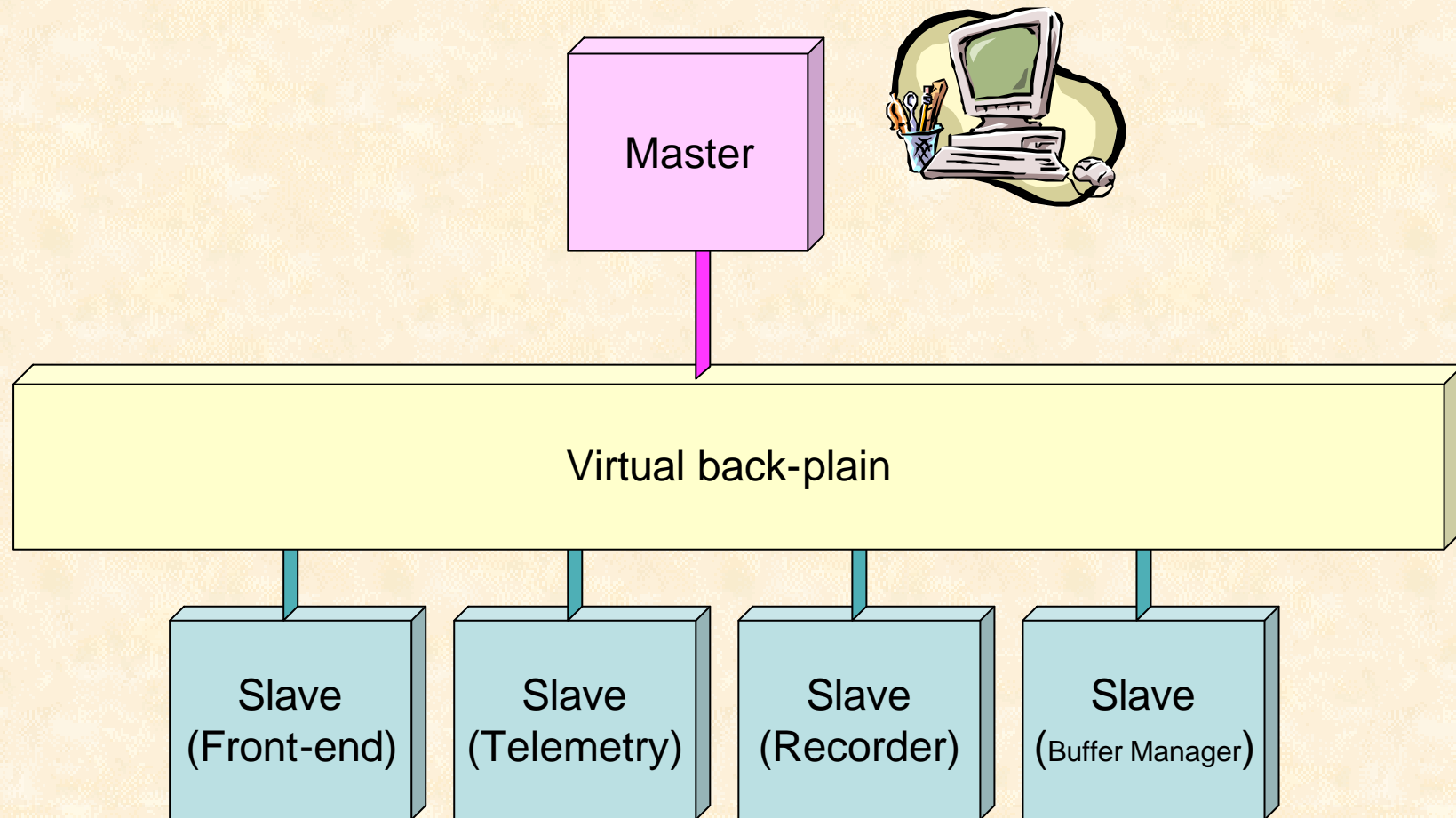
- Data path
  - Front-end to backend
  - High throughput is important
- Command path
  - Backend to front-end
  - Real-time response is preferable (necessary)
- Status path
  - Might be bi-directional
  - Short latency is preferable (necessary)

UNIDAQ

# Data path



# Control path and status path



# Data traffic

- Random access
  - Statistical event loss  $\varepsilon = \frac{1}{1 + f_{\tau}}$   $f_{\tau} < 0.1$
- Regular access (de-randomized access)
  - No data loss until the limit  $f_{\tau} < 1$
- Congestion
  - Data merge  $f_{\tau} < 0.3 \sim 0.7$
  - Event builder



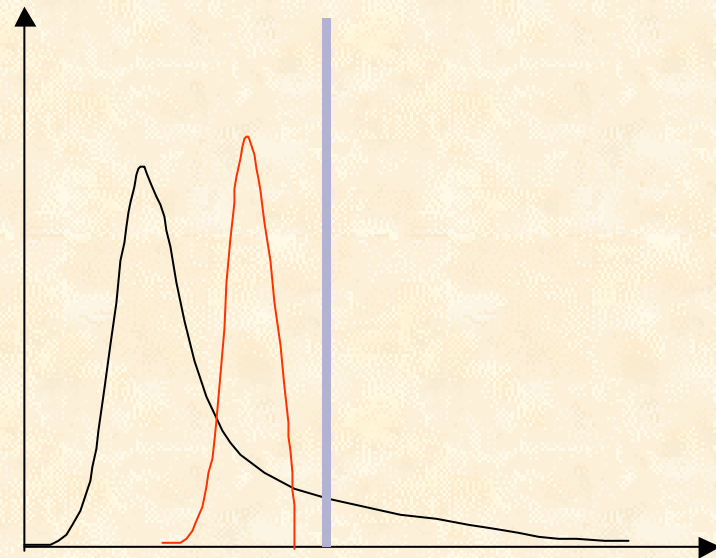
# DAQ scheme

- De-randomize the traffic as soon as possible at the buffer.
- Use high throughput network after the buffer.
  - commercial network interface is suitable
  - Gigabit Ethernet / USB-2 /.....
- Use short latency path before the buffer.
  - So far, we used **BUS**. CAMAC / TKO / .....
  - What's the next?

# “Real-time” DAQ system

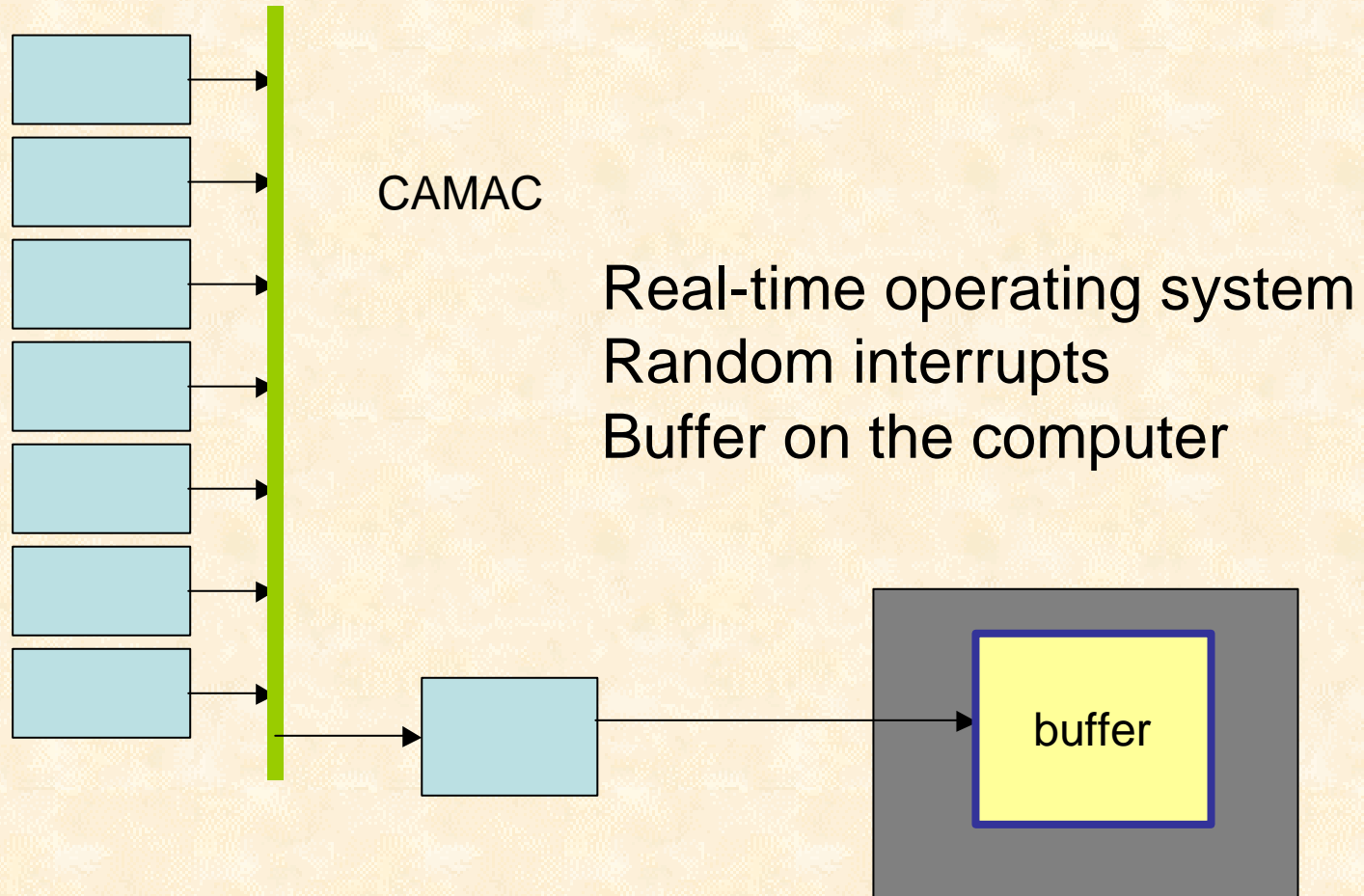
What does “real-time” mean?

Guaranteed response is required  
chemical plant  
nuclear reactor  
**overflow**  
etc.

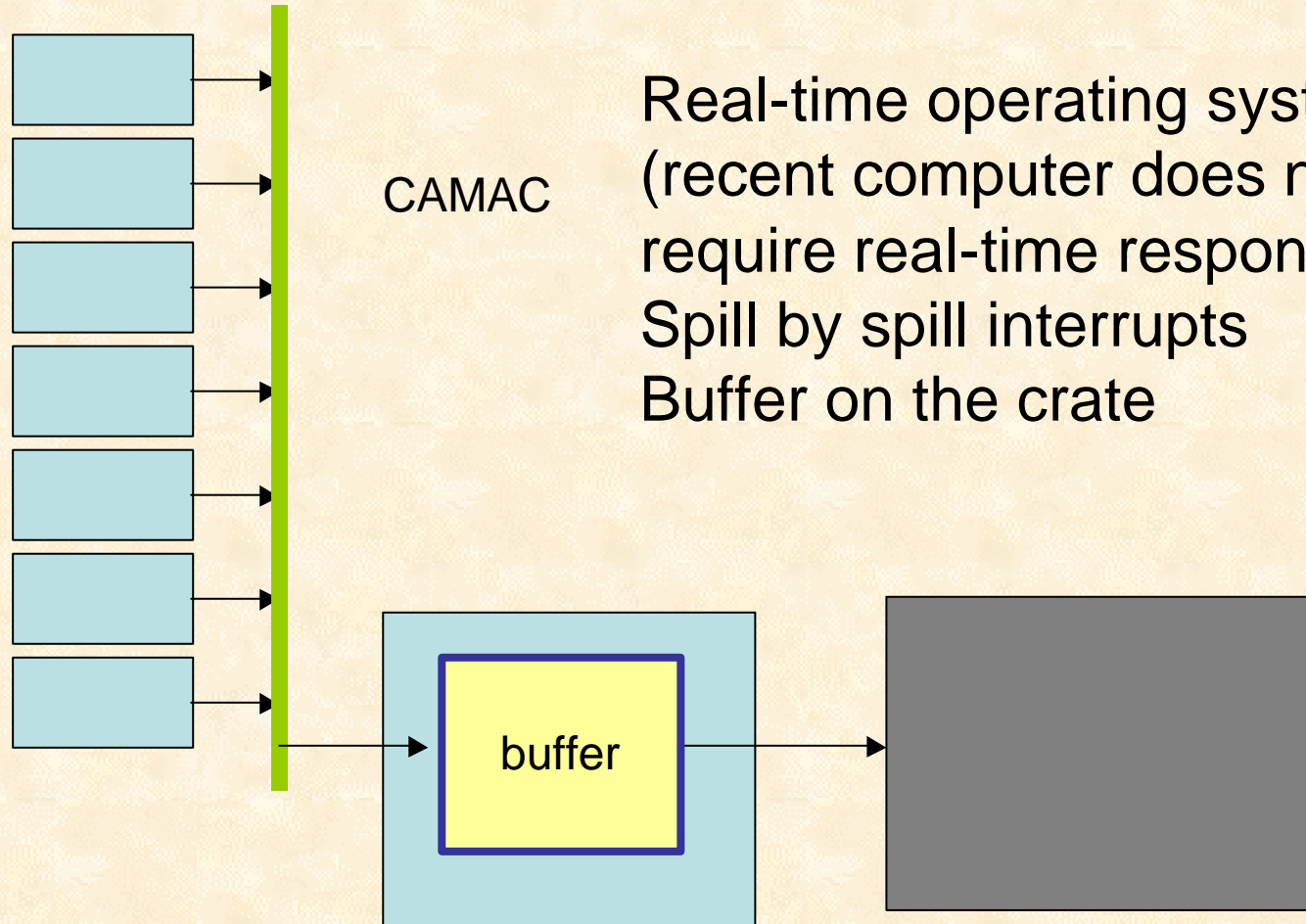


To guarantee, additional overheads are required.

# De-randomizer



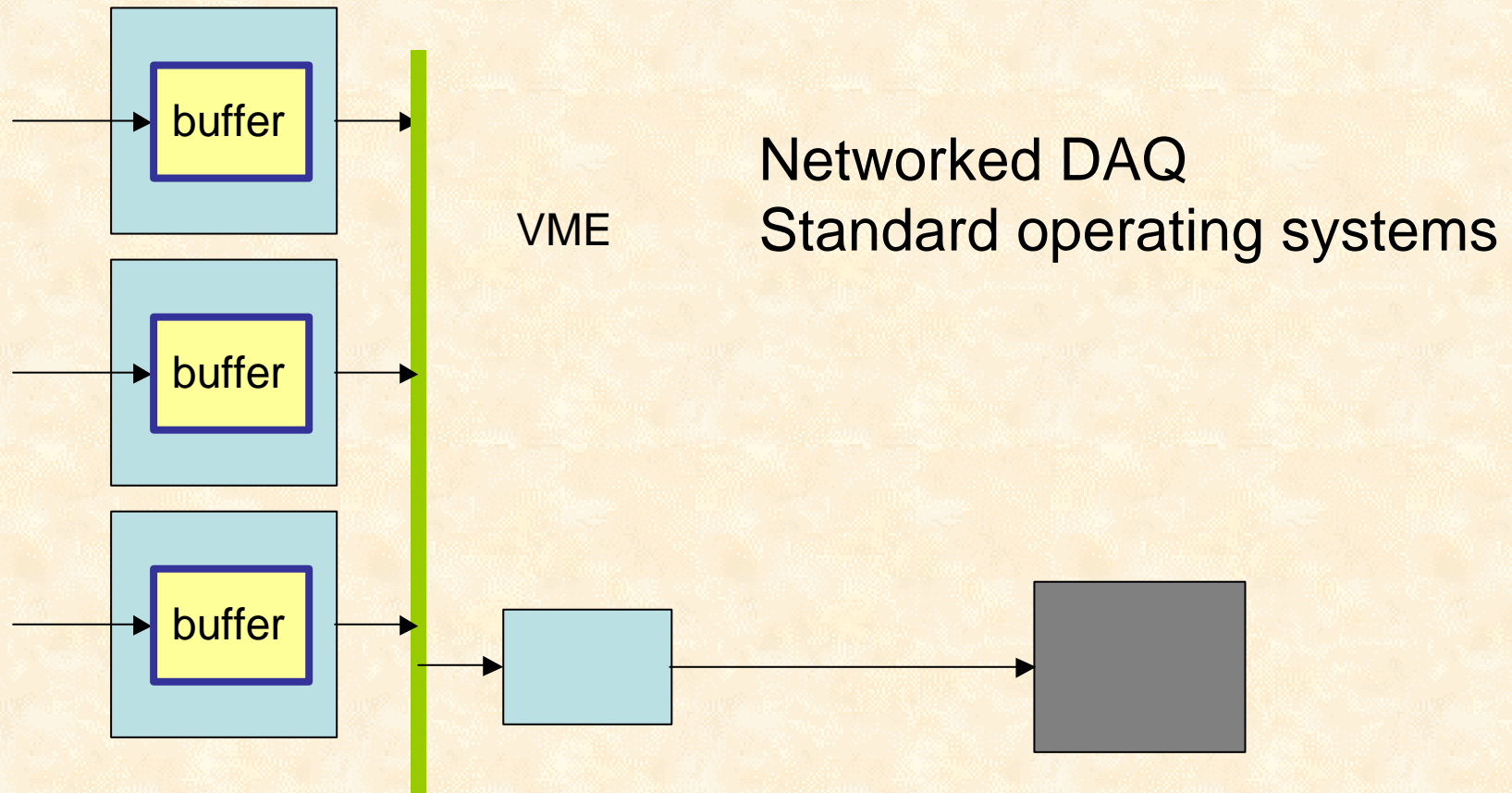
# De-randomizer



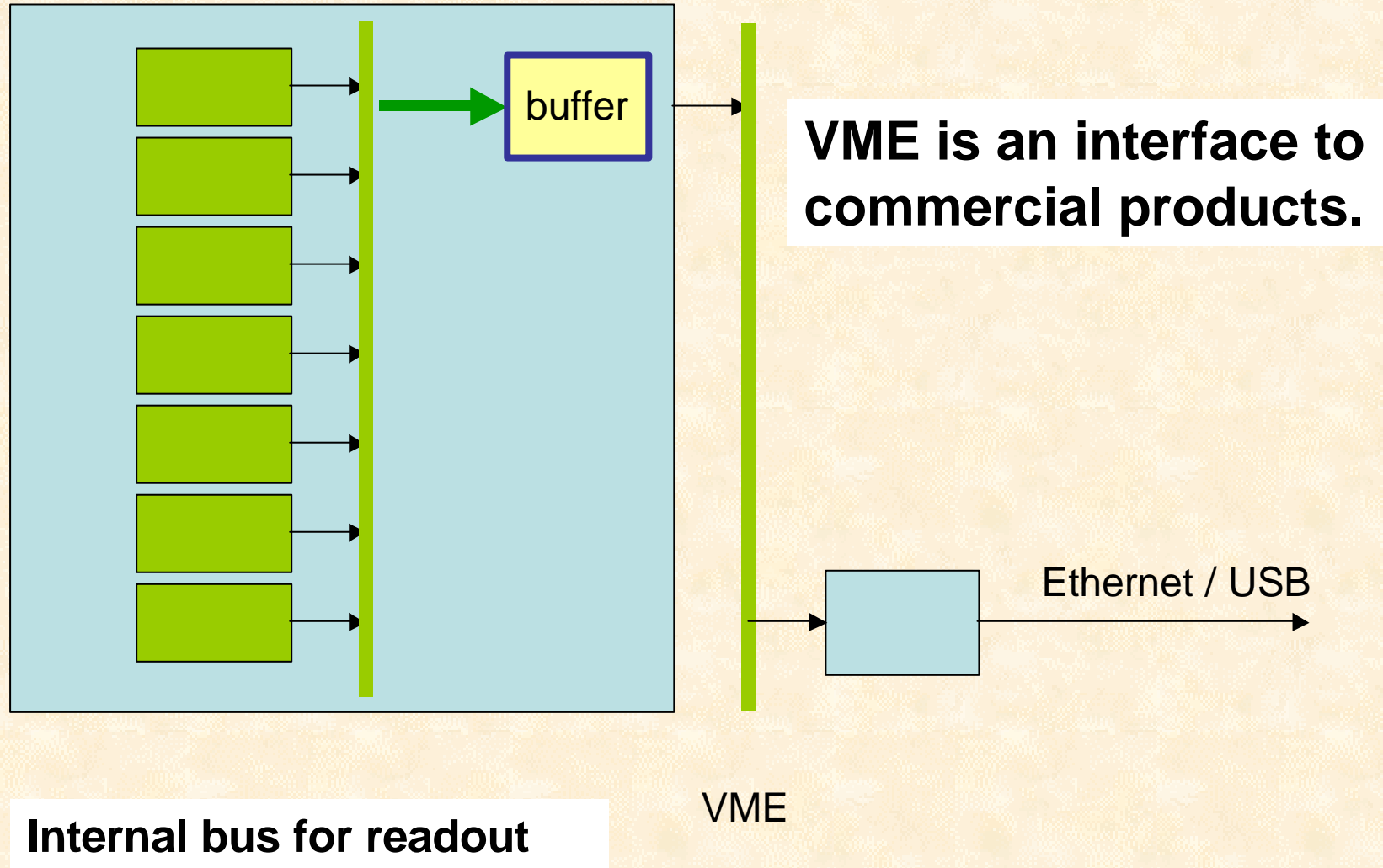
CAMAC

Real-time operating system  
(recent computer does not  
require real-time response)  
Spill by spill interrupts  
Buffer on the crate

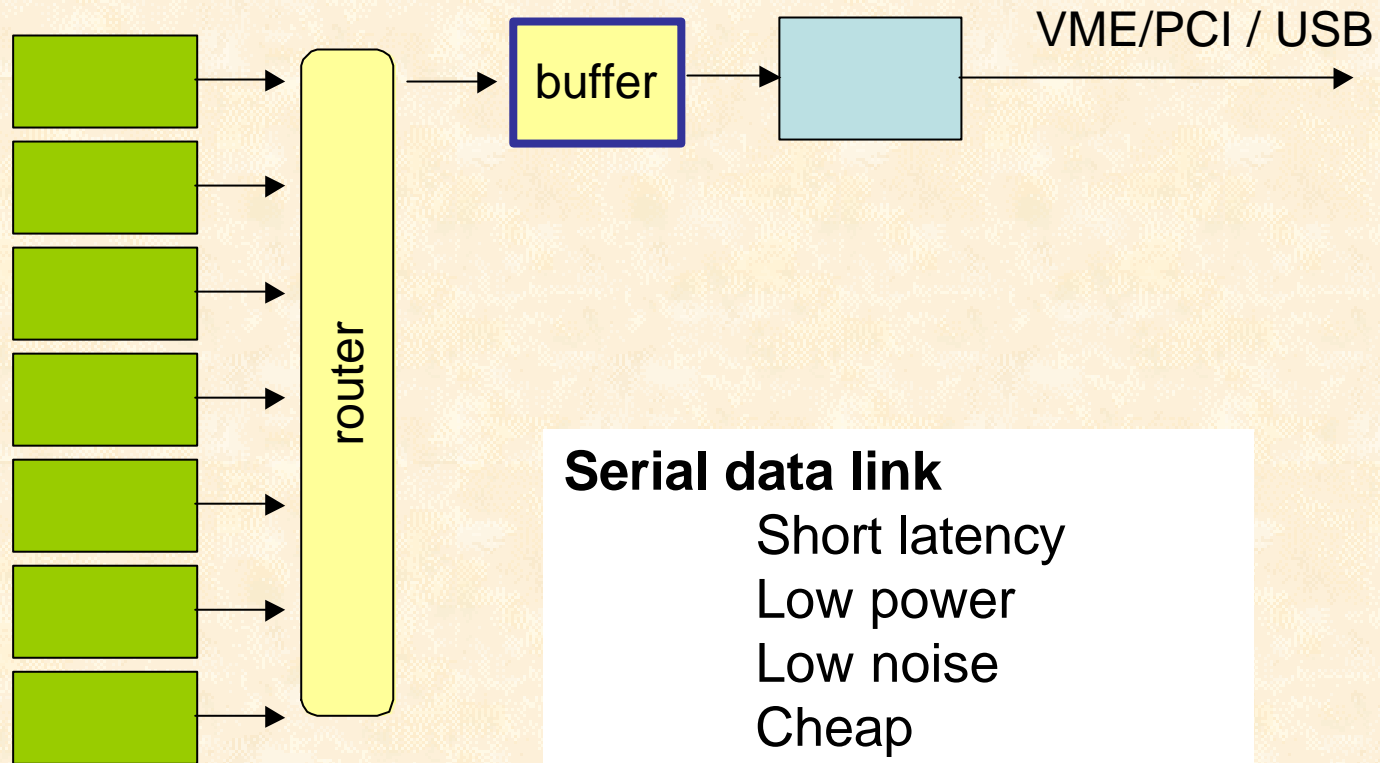
# De-randomizer



# Front-end buffer



# BUS-less DAQ



# BUS vs. Serial link

BUS	Serial link
133MHz x 64 bit ~800MB/s	300 Mbps ~30 MB/s
VME single access ~8MB/s	Single access 2~3MB/s
64 line x 10mA(?) = 640mA	4 line x 3.5mA(LVDS) = 14mA
200~500ns latency BLT has longer latency	~1 fÊ latency



# Serial data transfer

フロントエンドで使用するためには

- フロントエンドの小規模なFPGAに実装できる簡単なプロトコル。

多くのシリアル転送ではクロックの再構築のためのPLLが必要であるが、フロントエンドで使用するにはPLLがなくても動作するプロトコルが望ましい。

- 高速レスポンスを実現するための短い遅延時間。

パイプライン処理を行わないフロントエンドでは遅延時間がそのままDead Timeとなってしまう。このため余計な処理を行わない単純なプロトコルが望ましい。

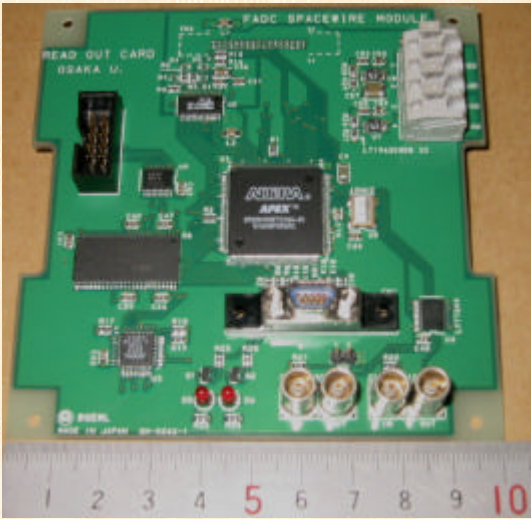
- ノイズ源とならない信号レベル。

デジタル信号の遷移はアナログ系のノイズ源となる。このため、LVDS等、振幅の小さい信号レベルが望ましい。

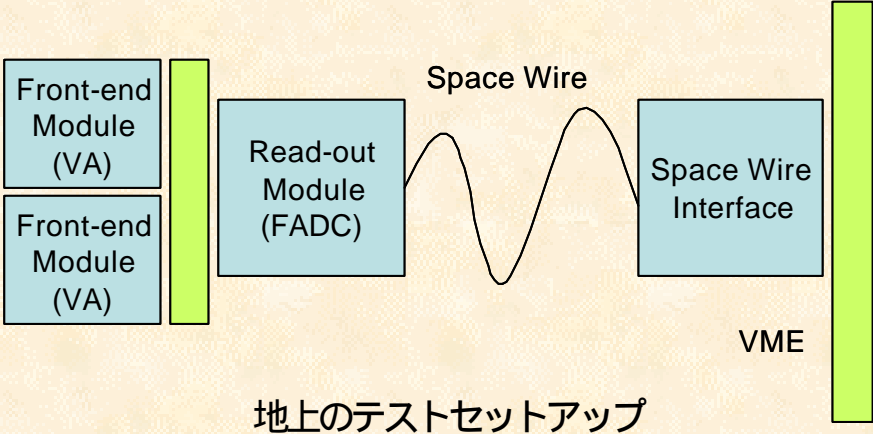
IEEE 1355  
Space Wire

# Space Wire を用いたデータ収集システム

大阪大学原子核実験施設では宇宙科学研究所と協力して気球用の小規模データ収集システムの開発を行っている。1024chの読み出しをわずか10cm x 10cmのボードで実現している。



大阪大学原子核実験施設で開発したRead-out Module(FADC),



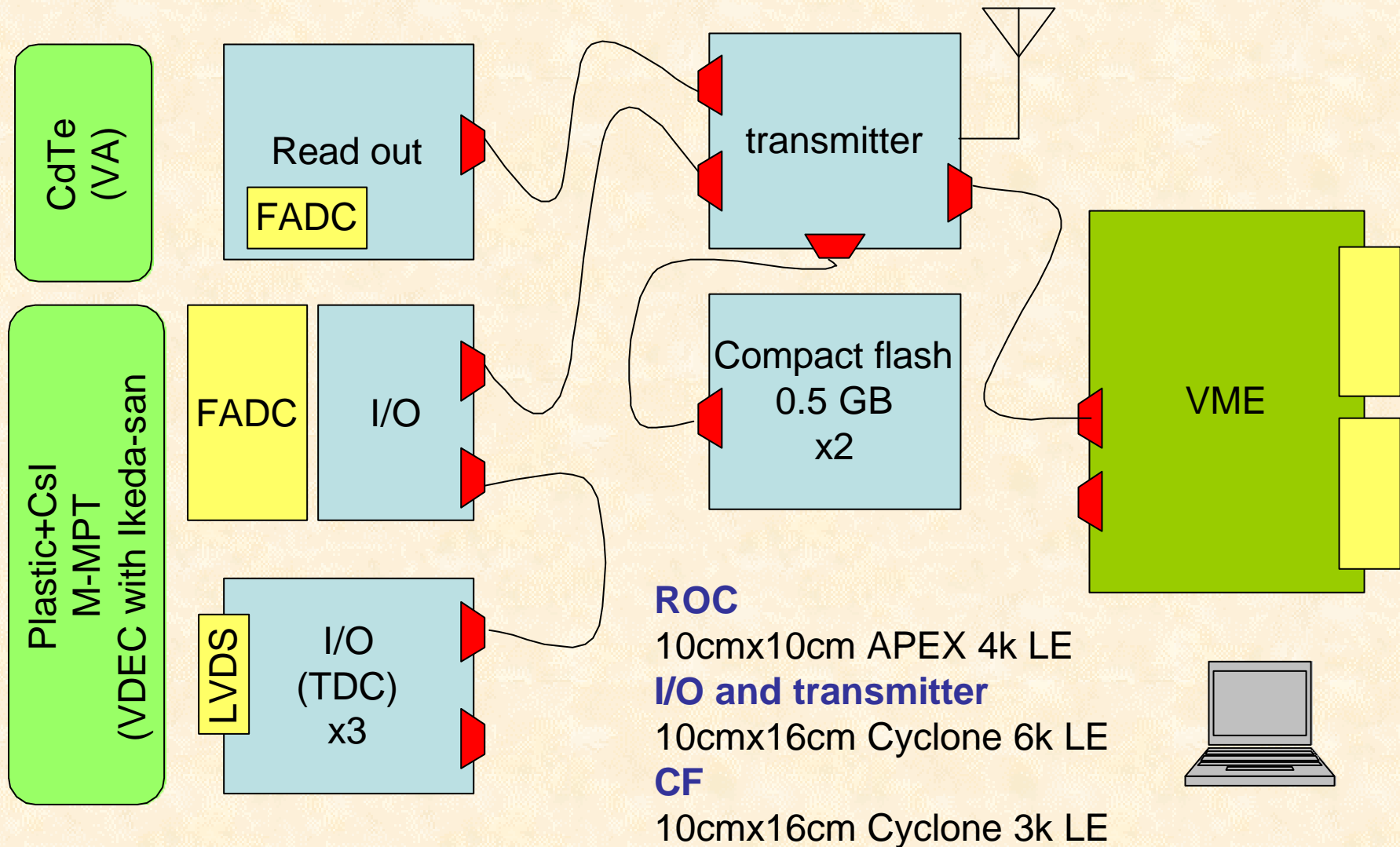
# SpaceWire (IEE1355)

- 単純でフレキシブルなルーティング
- 冗長なルーティングが可能
- 複数のリンクによるストライピングが可能

An Overview of the I  
by the Association's e

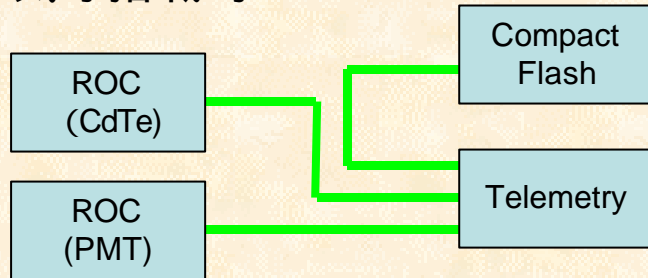
並列コンピュータとして知られるトランスピューターを結ぶリンクが発展したものであり、短い遅延時間でデータを送ることができる単純で強力なプロトコル

# 2003年気球実験 Osaka/Yamagata/ISAS

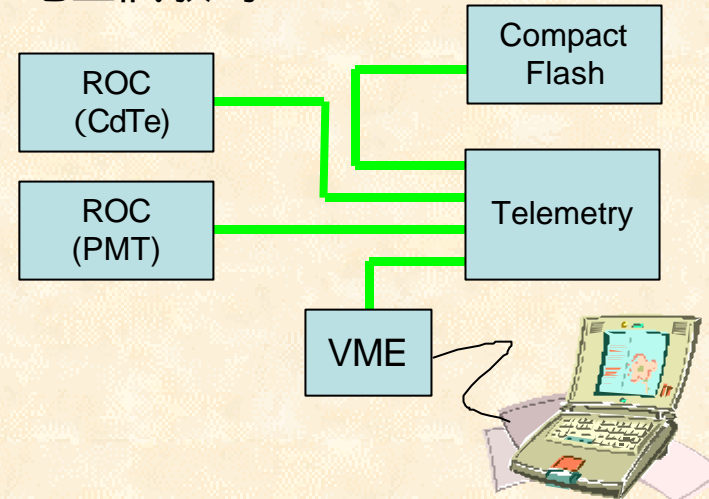


# ハードウェアの配置

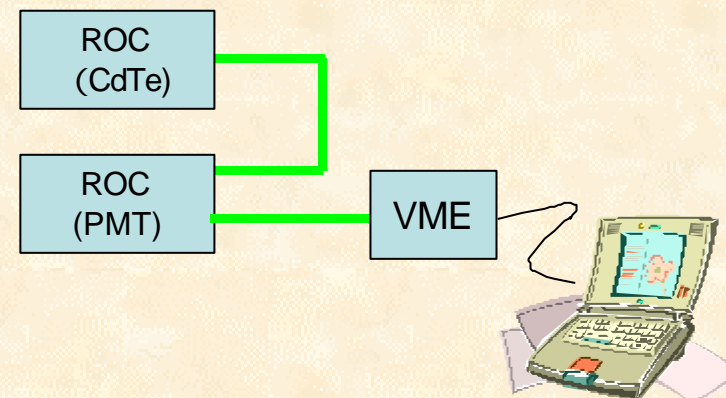
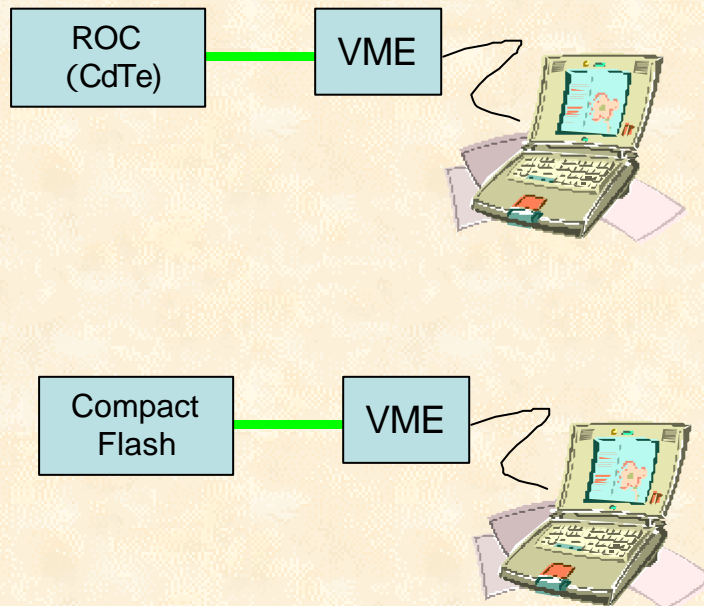
気球搭載時



地上試験時



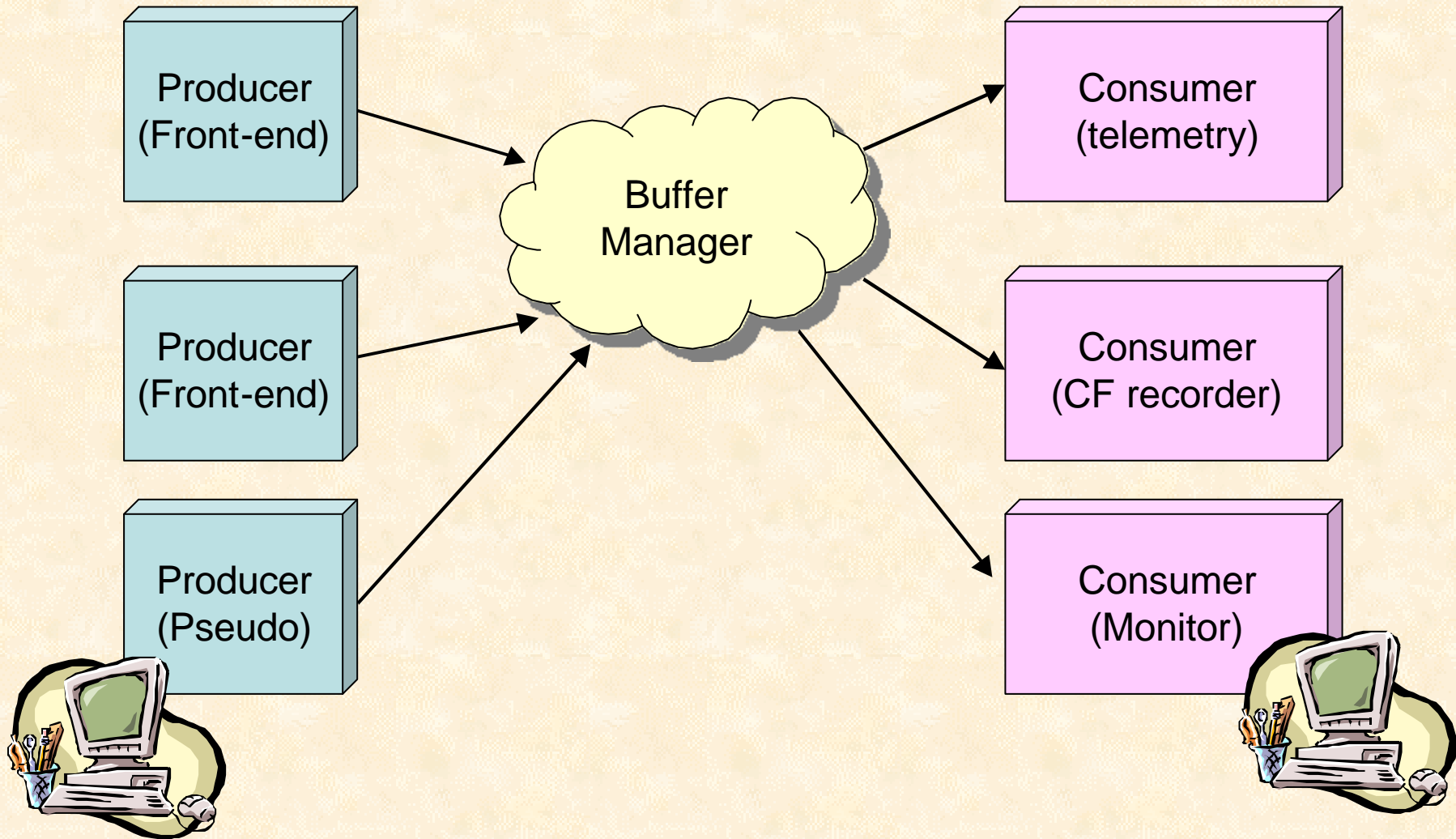
単体試験



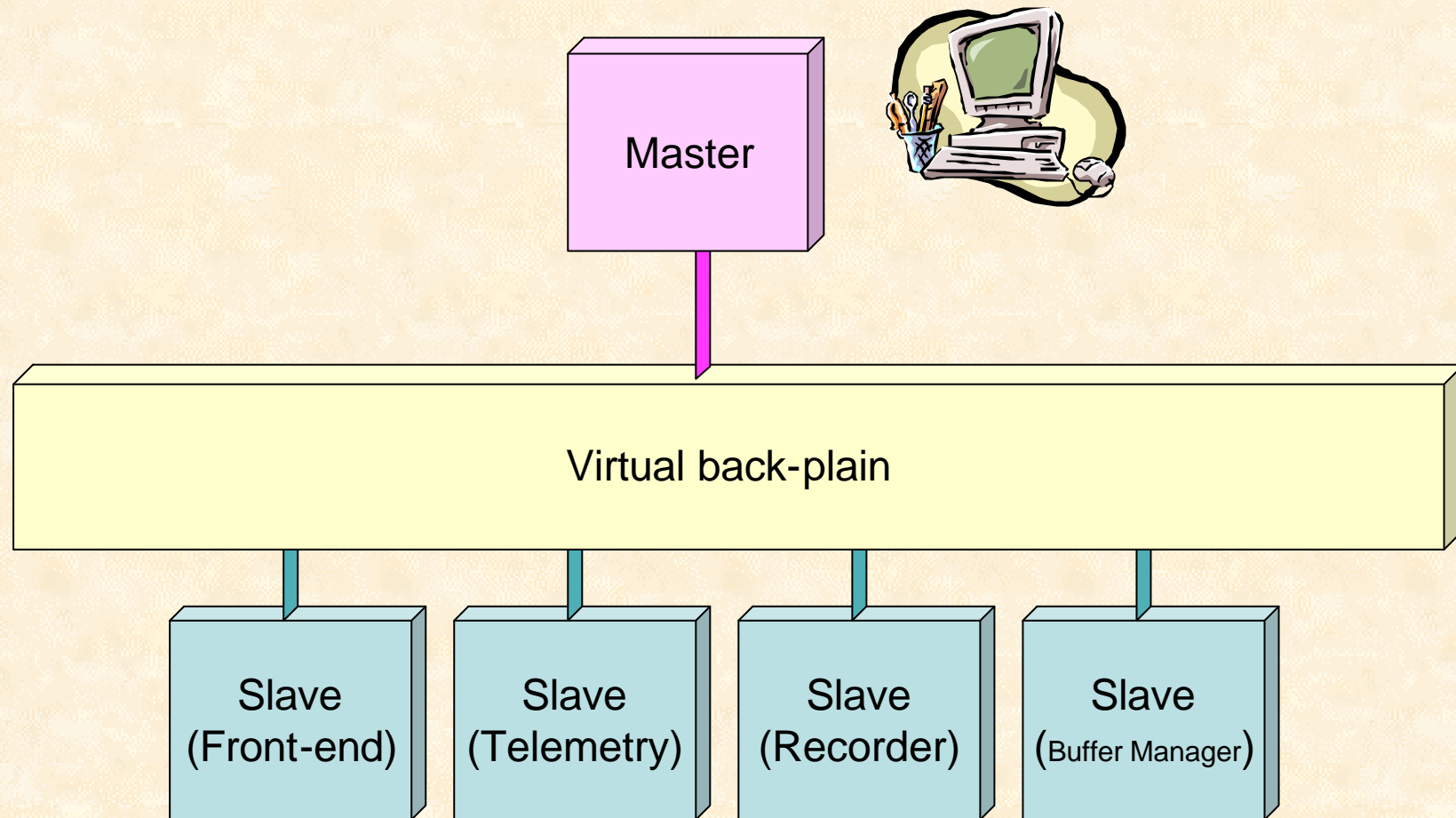
# データ収集系

- Space Wireを用いることにより、**ハードウェアの配置によらない**データ収集系を構築する。
- 機能を分散し、各々の機能を単独で試験することができるようにする。
- 検出器試験から衛星まで使える、**統一的なアーキテクチャ**を用いる。

# Data path

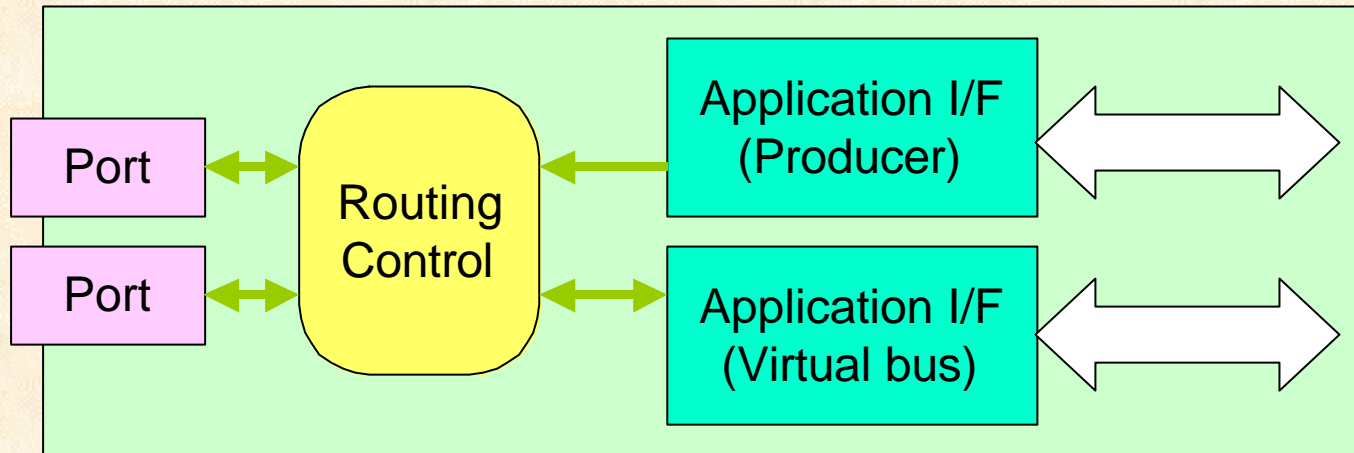


# Control path and status path





# Producer Device Node



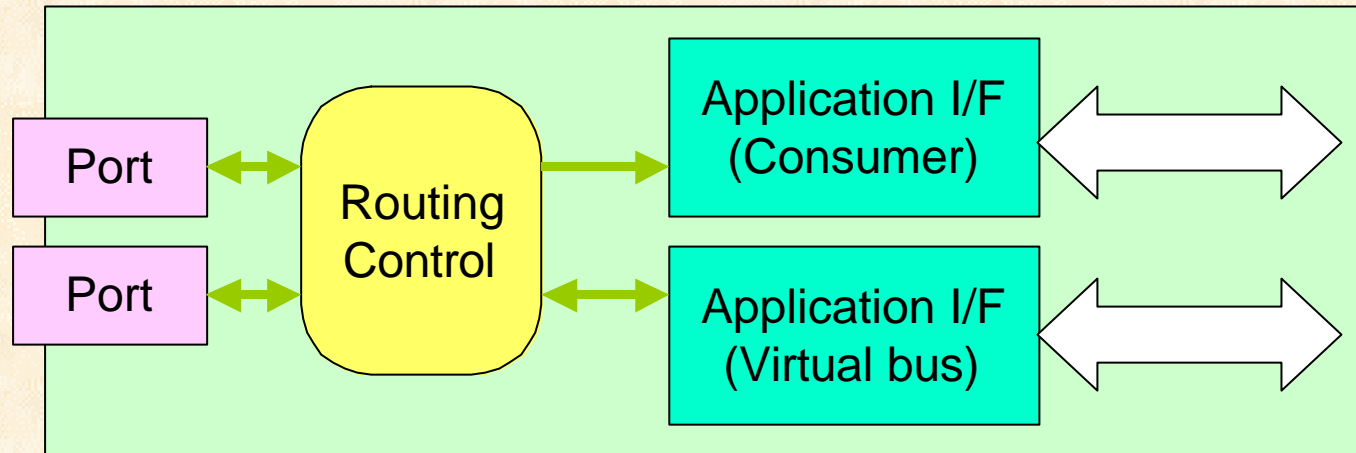
## Routing control

- **Path addressing** の Routingを行う。
- **Logical addressing** は Buffer Manager への routing table のみを持つ。  
(1 ポートの場合は一意に定まるのでテーブルは不用)

## Application

- **Producer application** からは event data/HK data を受け取り、buffer manager へむけてパケットを送る。(Logical routing)
- **Virtual bus application** は Master からの返送PATH付のパケットを受け取り、Slaveからの返事を返送する。(Path routing)

# Consumer Device Node



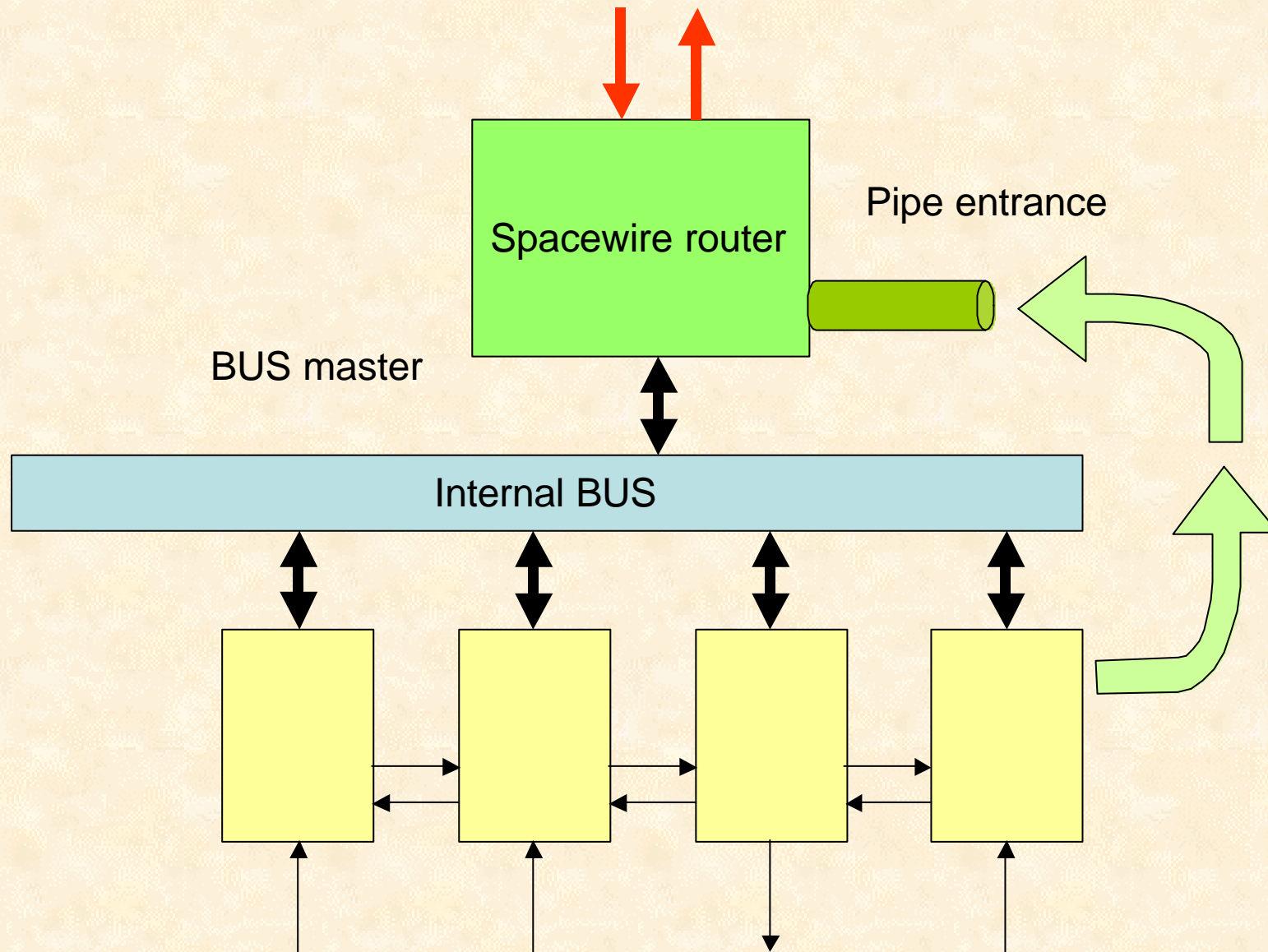
## Routing control

- **Path addressing** の Routingを行う。
- **Logical addressing** は Buffer Manager への routing table のみを持つ。  
(1 ポートの場合は一意に定まるのでテーブルは不用)

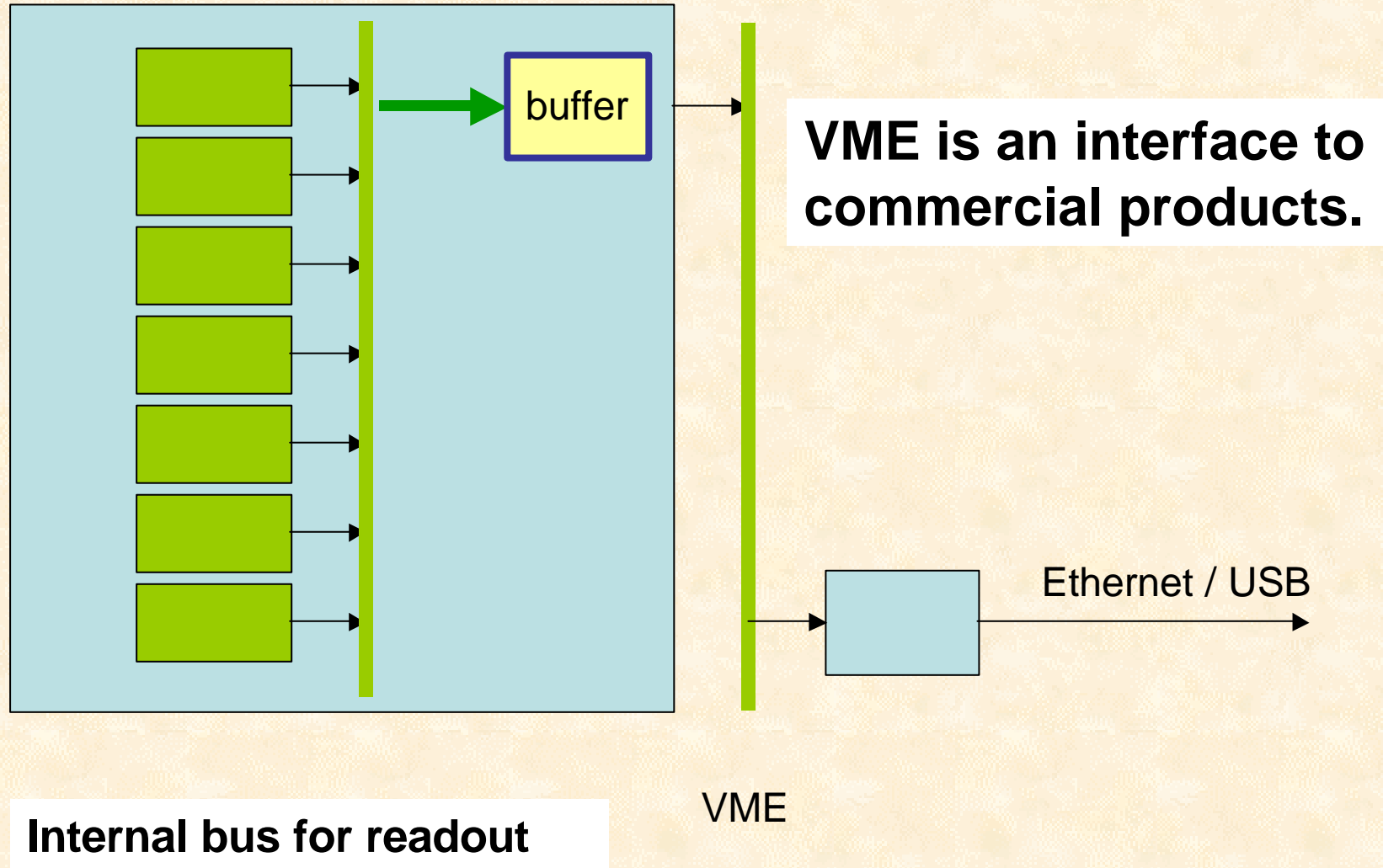
## Application

- **Consumer application** へはbuffer manager から受け取った event data/HK data を送る。
- **Virtual bus application** は Master からの返送PATH付の packets を受け取り、Slaveからの返事を返送する。(Path routing)

# FPGA logic

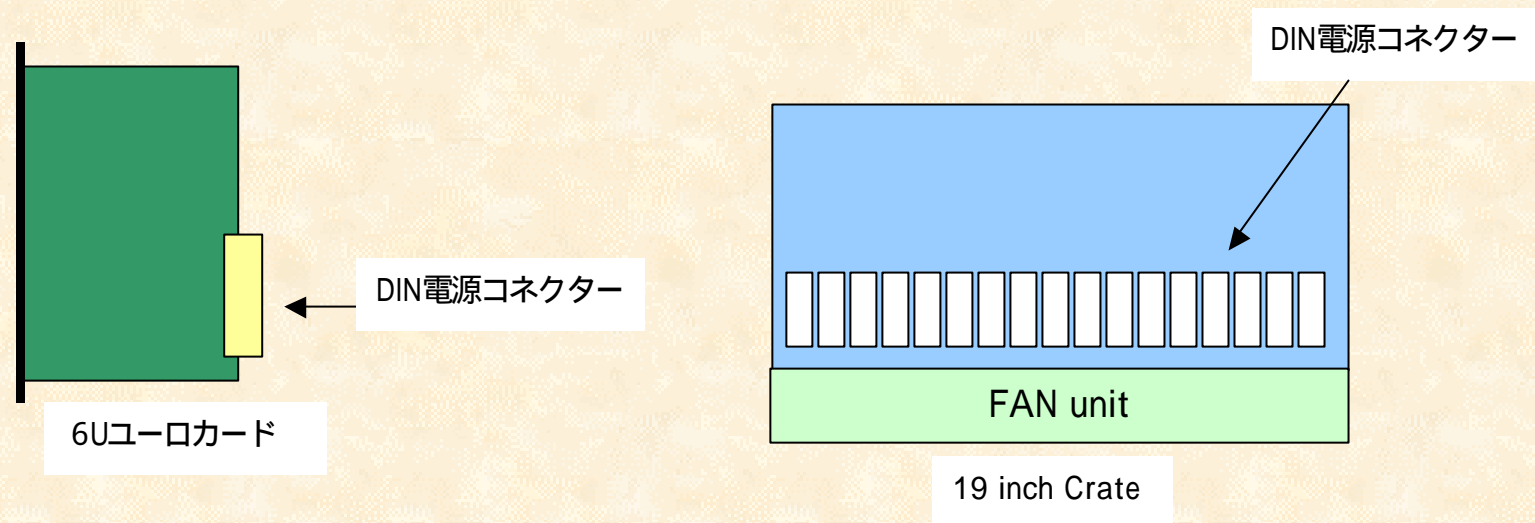


# Front-end buffer



# 新しいデータ収集システムのプラットフォーム

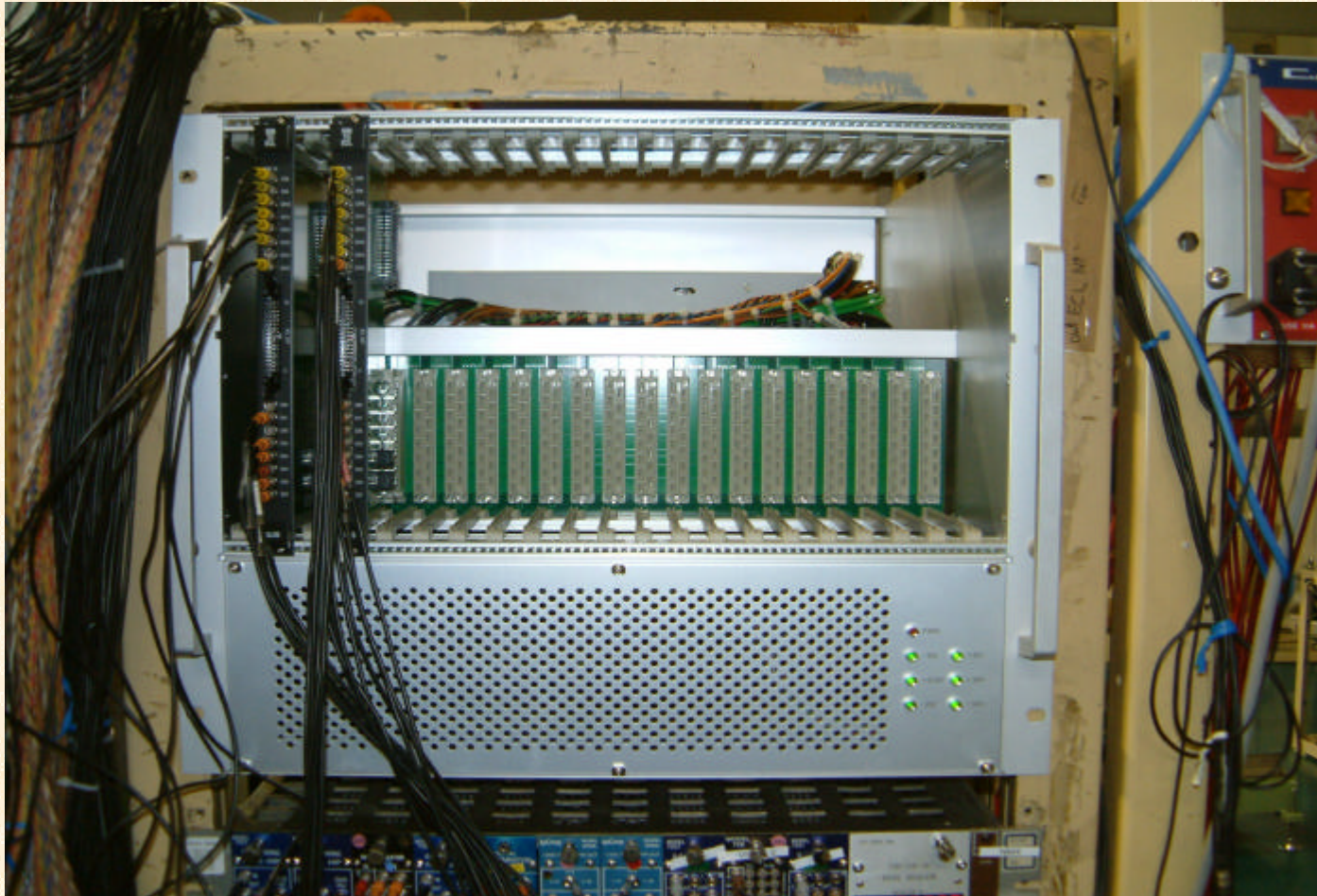
## --Euro-card Power Station--



ボード	6 U, Euro Card (VME 6Uと同じサイズ)
コネクタ	DIN規格の電源用コネクタをP2側に設ける。
電源	<b>+3.3V</b> を主とし、+5 V, -2 V, -5.2 V, $\pm 12$ V。
入出力信号	LVDS、NIMロジック信号、ECL。
データ転送	バックプレーンのバスによるデータ転送は行わない。 <b>LVDSによるシリアル転送</b> をとりいれる。

新しい集積回路の使用を容易にする電源供給。  
産業界で広く使われている規格による低価格・安定供給。

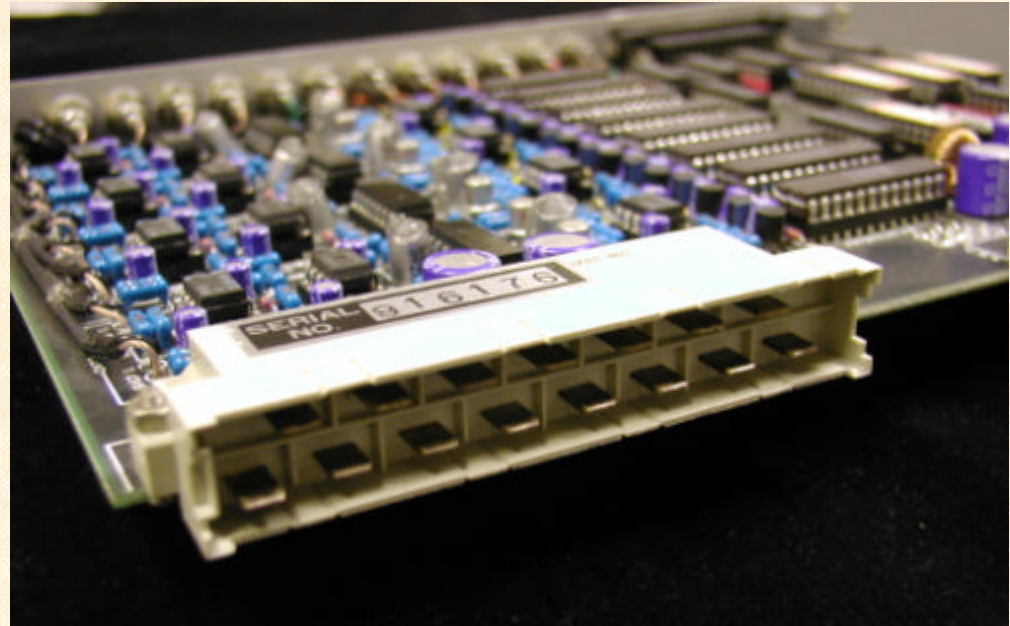
# Euro-card Power Station crate





DIN connector

NIM to ECL



# 汎用ロジックモジュール

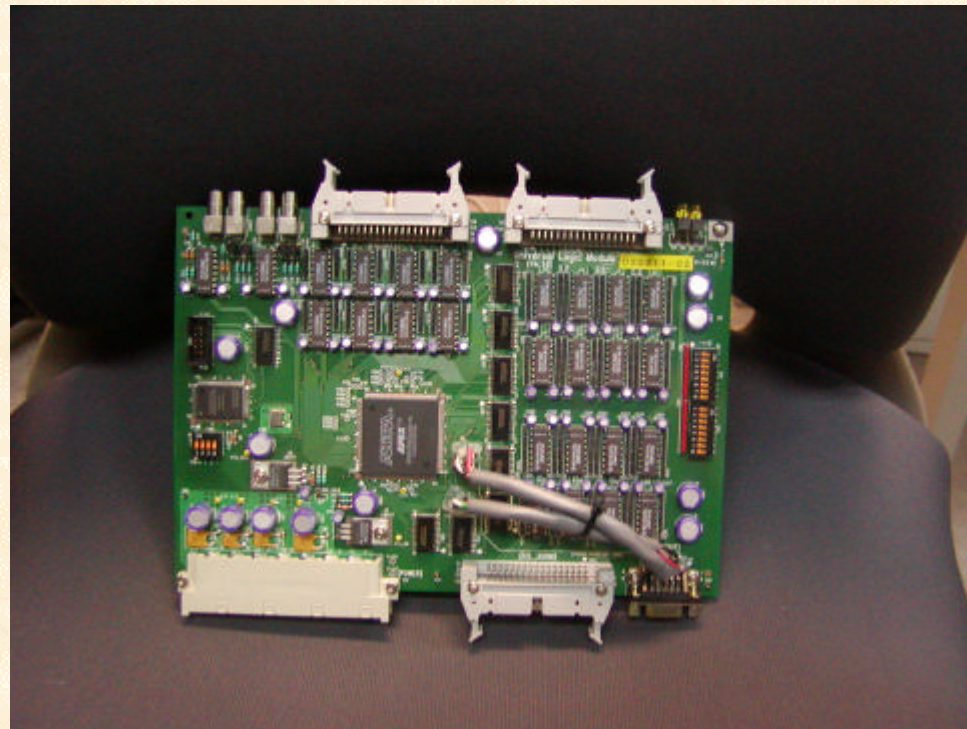
Euro-card Power Station 規格の汎用ロジックモジュール。

64 ECL差動入力、32 ECL差動出力。

アルテラ社のAPEX20K300E(30万ゲート)。

多数の入力からトリガー信号を作り出す汎用トリガーモジュール

Space Wire インターフェースを持つ汎用読み出し回路





# Summary of Euro card Power Station

- 多チャンネル化が不可欠な素粒子・原子核実験にむけて、高密度実装・低消費電力が可能なシリアルデータ転送を用いたデータ収集システムを開発する。
- 大強度陽子加速器施設の建設がはじまり、新しい実験の提案がなされようとする時、新世紀にふさわしいエレクトロニクス・データ収集システムの開発を行う。